

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-509945

(43) 公表日 平成11年(1999) 8月31日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

K

審査請求 未請求 予備審査請求 有 (全 35 頁)

(21) 出願番号 特願平8-530415
 (86) (22) 出願日 平成8年(1996) 4月1日
 (85) 翻訳文提出日 平成9年(1997) 10月6日
 (86) 国際出願番号 PCT/US96/04470
 (87) 国際公開番号 WO96/31827
 (87) 国際公開日 平成8年(1996) 10月10日
 (31) 優先権主張番号 08/416, 326
 (32) 優先日 1995年4月4日
 (33) 優先権主張国 米国 (US)

(71) 出願人 ランバス・インコーポレーテッド
 アメリカ合衆国 94040 カリフォルニア
 州・マウンテンビュー・レイザム ストリ
 ート・2465
 (72) 発明者 ディロン, ジョン・ビィ
 アメリカ合衆国・94306・カリフォルニア
 州・パロアルト・モンロー ドライブ・
 177
 (72) 発明者 ニンマガダ, スリニバス
 アメリカ合衆国・95050・カリフォルニア
 州・サンタクララ・ベントン ストリ
 ート・1050・3202番
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 シングル又はダブル並列終端を備えたモジュラー・バス

(57) 【要約】

シングル終端またはダブル終端が可能なモジュラ・バスについて記載する。このバスは、マスタと1つまたは複数のマザーボード装置との間でデータ信号を伝達する終端されたマザーボード・データ網を備える。マザーボード・データ網と取り外し可能モジュールの終端されたモジュール・データ網との間でデータ信号を結合するためにソケットを使用する。モジュール・データ網はマスタと1つまたは複数のモジュール装置との間でデータ信号を伝達する。データ信号振幅とデータ信号の反射レベルはモジュールの存在とは実質的に独立している。

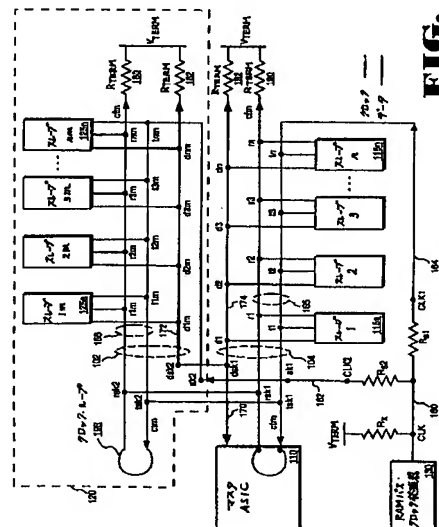


FIG. 1

【特許請求の範囲】

1. マスタと1つまたは複数のマザーボード装置との間でデータ信号を伝達する終端されたマザーボード・データ網と、

マスタと1つまたは複数のモジュール装置との間でデータ信号を伝達するようになっている、取り外し可能なモジュールの終端されたモジュール・データ網とマザーボード・データ網との間でデータ信号を伝達するソケットとを備え、

データ信号振幅およびデータ信号の反射レベルがモジュールの存在からは実質的に独立していることを特徴とするバス。

2. マザーボード装置に第1のクロック信号を伝達する終端されたマザーボードクロック網と、

ソケットが第1のクロック信号と第2のクロック信号のうちの少なくとも一方をモジュール装置の終端されたモジュール・クロック網に伝達する、ソース・クロック信号から第1のクロック信号と第2のクロック信号を供給するクロック信号スプリッタとをさらに含み、

クロック信号振幅がモジュールの存在とは実質的に独立していることを特徴とする請求項1に記載のバス。

3. 第2のクロック信号が終端されていない端部に伝達され、ソケットがモジュール・クロック網送信ノードをマザーボードクロック網送信ノードに結合し、ソケットがモジュール・クロック網受信ノードをマザーボード・クロック網受信ノードに結合することを特徴とする請求項2に記載のバス。

4. モジュール・クロック網がモジュール・クロック網ループを含み、モジュール・クロック網送信ノードからモジュール・クロック網ループを通してモジュール・クロック網受信ノードまで至る第1の経路の電気長が、モジュール・クロック網送信ノードからマザーボード・クロック網送信ノードに至りマザーボード・クロック網送信ノードに至り、マスタに至り、マザーボード・クロック網受信ノードに至り、モジュール・クロック網受信ノードにまで至る第2の経路の電気長とほぼ同じであることを特徴とする請求項3に記載のバス。

5. モジュール・クロック網がクロック網ループを含まないことを特徴とする請

求項3に記載のバス。

6. 第2のクロック信号がモジュール・クロック網の終端されていない端部に伝達され、第1のクロック信号がモジュール・クロック網に伝達されないことを特徴とする請求項2に記載のバス。

7. 第1のマザーボード装置と他のマザーボード装置との間のクロック網セグメント電気長とデータ網セグメント電気長がほぼ同じであることを特徴とする請求項2に記載のバス。

8. 第1のモジュール装置と他のモジュール装置との間のクロック網セグメント電気長とデータ網セグメント電気長がほぼ同じであることを特徴とする請求項2に記載のバス。

9. モジュール・クロック網とモジュール・データ網とマザーボード・クロック網とマザーボード・データ網のそれぞれの終端抵抗が35オームないし55オームの範囲であることを特徴とする請求項2に記載のバス。

10. クロック信号スプリッタが、

第1の抵抗器と、

第2の抵抗器とを備え、第1の抵抗器の第1の端部と第2の抵抗器の第1の端部がソース・クロック信号を受信するノードを形成し、第1のクロック信号が第1の抵抗器の第2の端部に供給され、第2のクロック信号が第2のレジスタの第2の端部に供給されることを特徴とする請求項2に記載のバス。

11. 第1と第2の抵抗器がほぼ同じ抵抗を有することを特徴とする請求項10に記載のバス。

12. 第1と第2の抵抗器が60ないし100オームの範囲の抵抗を有することを特徴とする請求項11に記載のバス。

13. クロック信号スプリッタが、ノードと電圧電位とに結合された第3の抵抗器をさらに備え、第3の抵抗器の抵抗に応答してソース・クロック信号の対称性が変化することを特徴とする請求項10に記載のバス。

14. マザーボード装置とモジュール装置のうちの少なくとも1つがメモリ装置であることを特徴とする請求項2に記載のバス。

15. メモリ装置がダイナミック・ランダム・アクセス・メモリであることを特

徴とする請求項14に記載のバス。

16. マザーボード装置とモジュール装置のうちの少なくとも1つがプログラム可能電流制御機構を有するスレーブ装置であることを特徴とする請求項2に記載のバス。

17. 請求項16のスレーブ装置のプログラム可能電流制御機構をプログラミングする方法であって、

(A) レジスタ設定を第1の値に設定するステップと、

(B) スレーブがレジスタ設定値に対応するスレーブ電流を調整し、スレーブがマスタにパケットを返す、レジスタ設定値をマスタからスレーブの出力ドライバに送るステップと、

(C) パケットの電圧レベルを基準電圧と比較するステップと、

(D) 電圧レベルが基準電圧より大きい場合、より大きなスレーブ電圧を供給するようにレジスタ設定値を調整し、ステップB)ないしC)を繰り返すステップと、

(E) 電圧レベルが基準電圧より低い場合、

(1) レジスタ設定値を現行値としてのスレーブ電流のレベルの2倍に対応する最終値に設定し、

(2) レジスタ設定値をマスタからスレーブの出力ドライバに送るステップと

を含む方法。

18. 最終値が現行値を2倍することによって算出されることを特徴とする請求項17に記載の方法。

19. マスタと、1つまたは複数のマザーボード装置を含む第1の組のマザーボード装置との間で第1のデータ信号を伝達する第1の終端されたマザーボード・データ網と、

マスタと、1つまたは複数のマザーボード装置を含む第2の組のマザーボード装置との間で第2のデータ信号を伝達する第2の終端されたマザーボード・データ網と、

第1のマザーボード・データ網と取り外し可能な第1のモジュールの終端され

たモジュール・データ網との間で第1のデータ信号を結合する第1のソケットと

、
第2のマザーボード・データ網と取り外し可能な第2のモジュールの終端されたモジュール・データ網との間で第2のデータ信号を結合する第2のソケットとを備え、

データ信号振幅と、データ信号の反射レベルとが第1および第2のモジュールの存在とは実質的に独立していることを特徴とする、デュアル・チャネル・モジュラー・バス。

20. 第1および第2の組のマザーボード装置に第1のクロック信号を伝達する第1の終端されたマザーボード・クロック網と、

第1のモジュールが終端されたモジュール・クロック網を含み、ソケットが第1のクロック信号と第2のクロック信号のうちの少なくとも一方を第1のモジュール・クロック網に伝達し、第2のソケットが第1のクロック信号と第2のクロック信号のうちの少なくとも一方を第2のモジュール・クロック網に伝達する、ソース・クロック信号から第1のクロック信号と第2のクロック信号を供給するクロック信号スプリッタとをさらに含み、

クロック信号振幅が第1および第2のモジュールの存在とは実質的に独立していることを特徴とする請求項19に記載のバス。

【発明の詳細な説明】シングル又はダブル並列終端を備えたモジュラー・バス発明の分野

本発明はバス・アーキテクチャに関する。具体的には、本発明は、モジュールを伴ったシングル終端とモジュールを伴わないダブル終端との間の変換を行う高速モジュラー・バス・アーキテクチャに関わる。

発明の背景

コンピュータ・システムは一般に、バスを使用してプロセッサと通信する装置またはモジュールを備える。そのようなモジュールの一例はメモリ・モジュールであろう。バスは本質的には、プロセッサ、モジュール、およびその他のバス装置の間でクロック信号、データ信号、制御信号、アドレス信号などの信号を伝搬する伝送線路である。

バス・アーキテクチャはモジュールの取り外しや追加を行うことができるのに十分な柔軟性を備えていなければならない。たとえば、プロセッサをマザーボードまたはバックプレーン上に配置しなければならない。次にその他のボード（ドータ・ボード）またはメモリ拡張モジュールなどのモジュールを、マザーボード上のソケットに差し込む。モジュールを差し込むと、ソケットによってモジュール上のバスがマザーボード・バスに接続される。したがって、マザーボード・バスはモジュール上のバスによって拡張された。バス（すなわちマザーボード・バスとモジュール・バスを総称したバス）は、そのようなモジュールがあるか否かを問わず、精密にタイミングがとられた信号を正確に配信できる必要がある。

コンピュータ・システムにおいて信号のタイミングと配信はしばしば決定的に重要である。しかし、他のタイプの伝送線路の場合と同様に、信号反射によって信号のタイミングと配信が妨害されることがある。信号反射は、バスがモジュールなど、バスの特性インピーダンスとは異なるインピーダンスを持つ構成要素とインタフェースする場合に生じる。言い換えると、バス上のインピーダンス不連

続性によって反射が生じる。理想的には、モジュールのインピーダンスがバスの特性インピーダンスと整合していれば反射は起こらない。しかし、インピーダン

スが整合していない場合、その結果生じる反射によってコンピュータ・システムのパフォーマンスが低下することになる。

具体的には、信号反射はコンピュータ・システムの速度と動作に悪影響を及ぼす可能性がある。バスで通信する装置は、反射が収まるを待ってからでなければバスからの信号を有効な信号として受け入れることができない。この待ち時間によってシステムの速度が低下することになる。あるいは、十分な待ち時間が経過していない場合に信号反射が有効信号であると誤って解釈され、その結果、予測不能なシステム動作が起こることがある。

反射の影響を少なくする従来技術の一つの方法は終端機構の使用を必要とする。終端機構は、伝送線路の端部にある電力消費負荷（典型的には抵抗器）である。終端機構は、伝送線路の特性インピーダンスと整合するインピーダンスを持つように選定される。従来技術の終端アーキテクチャには、直列終端と並列終端がある。

直列終端では、終端抵抗器を伝送線路を駆動する装置と直列に配置する。並列終端では、装置が伝送路を直接駆動し、終端機構が伝送線路の一端または両端に配置される。バスの一端に並列終端を備えるバスをシングル並列終端バスと呼ぶ。あるいは、そのようなバスをシングル終端バスと呼ぶこともある。両端に並列終端を持つバスをダブル並列終端バスと呼ぶ。あるいはそのようなバスをダブル終端バスと呼ぶこともある。

1つの従来技術のシングル終端バスでは、終端機構は終端機構を含む拡張バス・セグメントによって置き換えられる。この拡張バス・セグメントには拡張モジュールが含まれる。他の従来技術のシングル終端バスでは、バス上のすべての拡張ソケットに機能モジュールまたは「ダミー・モジュール」が装着される。機能モジュールはメモリ拡張モジュールなどのモジュールである。ダミー・モジュールはこの場合、機能モジュールと同じ実効負荷を生じさせるように設計されたモジュールである。したがって、このいずれの場合も、バスはモジュールがあるか否かを問わず常にシングル終端バスとして維持される。

ダブル並列終端は、高速バス・アーキテクチャで一般的に使用される。1つの

従来技術のダブル終端バス・アーキテクチャでは、ダブル終端バスにモジュールを挿入したり取り外したりする。モジュールは実際にバスにタップ接続される。タップにモジュールが挿入されていないと常にバスの不連続性が生じる。場合によっては、インピーダンス不整合を顧慮せずにモジュールが挿入または取り外しされることがある。この技法の1つの欠点は、前述のようなシステム・パフォーマンスの低下である。あるいは、タップにダミー・モジュールを装着することができる。この技法には、追加のダミー・モジュールの複雑化とコストという欠点がある。したがって、バスは実際にダブル並列終端バスとして維持される。このようなシステムの1つの欠点は、取り外されたモジュールを置き換えるダミー・モジュールが入手可能でなければならないことである。

1つの従来技術のダブル終端バスでは、モジュールは、システムにモジュールを追加するに従ってディジーチェーン接続されるバス・セグメントを備える。モジュールはすでに終端機構を備えているバスに接続される。最後のモジュールは、第2の終端機構を備えるダミー・モジュールでなければならないことになる。このアーキテクチャは、チェーンの最後のモジュールとして常にダミー終端機構を必要とする。ダミー・モジュールを必要とするという欠点に加えて、このアーキテクチャはバス上のモジュールの数が変わるたびにダミー・モジュールを別の場所に「シャフリング」する必要がある。

発明の概要

周知のシステムおよび方法の限界に鑑みて、本発明の目的の1つは、シングル並列終端またはダブル並列終端を可能にするモジュラー・バスを提供することである。このバスは、マスタと1つまたは複数のマザーボード装置との間でデータ信号の通信を行う終端マザーボード・データ網を備える。マザーボード・データ網と取り外し可能モジュールの終端モジュール・データ網との間でデータ信号を結合するためにソケットを使用する。モジュール・データ網は、マスタと1つまたは複数のモジュール装置との間でデータ信号を通信する。データ信号振幅とデータ信号の反射は、モジュールの存在とは実質的に独立している。

クロック信号振幅がモジュールの存在とは実質的に独立しているバスについて

も記載する。このバスは、第1のクロック信号を1つまたは複数のマザーボード装置に伝達する終端マザーボード・クロック網を備える。クロック信号スプリッタが、ソース・クロック信号から第1のクロック信号と第2のクロック信号を供給する。ソケットが第1のクロック信号と第2のクロック信号のうちの少なくとも一方を、1つまたは複数のモジュール装置のための終端モジュール・クロック網に伝達する。

本発明のその他の目的、特徴、および利点は、添付図面と以下の詳細な説明から明らかになるう。

図面の簡単な説明

本発明について、添付図面の図で例示するが、これは限定的なものではない。図面の同様の参照符号は同様の要素を示す。

第1図は、シングル・チャネル・マスタASICを使用したバスのためのクロックおよびデータネットポロジを示す図である。

第2図は、伝送線路として模式化されたデータ網を示す図である。

第3図は、マスタASICの出力ドライバのための電流制御回路を示す図である。

第4図は、スレーブのための電流制御回路をプログラムするアルゴリズムを示す図である。

第5図は、クロック網の直流モデルを示す図である。

第6図は、デュアル・チャネル・マスタASICを使用したバスのクロックネットポロジを示す図である。

詳細な説明

シングル・チャネル・バス

モジュラ・シングル・チャネル・バス・アーキテクチャの一実施形態では、マスタ・バス装置がマザーボード上の1つまたは複数のスレーブ・バス装置にバスによって結合される。バス上のソケットによって、1つまたは複数のスレーブを

含むモジュールをバスに結合することができる。バスの信号反射を最小限にするためには、可能性のある次の4つの場合に対処しなければならない。すなわち、

(1) モジュールが挿入されておらず、マスタがマザーボード・スレーブを駆動する場合、(2) モジュールが挿入され、マザーボード・スレーブがバスを駆動する場合、(3) モジュールが挿入されておらず、マザーボード・スレーブがバスを駆動する場合、および(4) モジュールが挿入され、モジュール・スレーブまたはマザーボード・スレーブがバスを駆動する場合である。

第1図に、モジュール120が挿入されているマザーボード上のシングル・チャンネル・バスのクロック網とデータ網のトポロジを示す。「バス」という用語は、マスタASIC110に結合されたバス・セグメントを総称して指す。言い換えると、「バス」は、モジュールが挿入されている場合、マザーボード・バスとモジュール・バスをまとめて指す。モジュールがない場合、「バス」はマザーボードのみを指す。バスには、モジュール・バス102とマザーボード・バス104が含まれる。マザーボード・バスはシングル終端バスである。モジュール・バスも終端されている。モジュールがない場合、バスはシングル終端バスである。モジュールがある場合、バスはダブル終端バスである。モジュール・バスはモジュール・クロック網166とモジュール・データ網172とを含む。マザーボード・バス104はマザーボード・クロック網165とマザーボード・データ網174とを含む。

一実施形態では、バスはマザーボード上のいくつかのスレーブ（たとえば115a～115n）およびメモリ拡張モジュール120上のいくつかのスレーブ（たとえば125a～125n）をマスタ特定用途向け集積回路（ASIC）110に結合する。モジュールをマザーボードに装着するとき、モジュール・バス102がソケット・コネクタを介してマザーボード・バス104に結合される。ノードtsk1、rsk1、sk1、およびdsk1は、一実施形態のマザーボード・ソケット接続部を示す。ノードtsk2、rsk2、sk2、およびdsk2は、それに対応するモジュール・ソケット接続部を示す。

一実施形態では、スレーブはダイナミック・ランダム・アクセス・メモリ（DRAM）である。あるいは、スレーブ115a～115nおよび125aから1

25nは、スタティックRAM（SRAM）、ビデオRAM（VRAM）、電気

的プログラム可能読取り専用メモリ（EPROM）などの他のタイプのメモリを含むこともできる。一実施形態では、マスタASIC110はメモリ・コントローラである。他の実施形態では、マスタASICはDMAコントローラ、グラフィックス・コントローラ、マイクロプロセッサ、またはその他の何らかのタイプのインテリジェント・コントローラとすることができる。

クロック網160はマザーボードを駆動する経路164とモジュールを駆動する経路162とに分割される。クロック発振器130はクロック網160用のクロック信号を生成する。クロック発振器130はマスタASIC110の一部とすることもできる。モジュール120が装着されている場合、クロック網160は抵抗分割器方式を使用してクロック電圧振幅を自動的に調整する。さらに、マザーボードとモジュールはクロック網のそれぞれの部分のために別々の終端抵抗器を備える。モジュール120には終端抵抗器180が備えられ、マザーボードは終端抵抗器190を使用する。この実施形態では、抵抗器180および190の値は R_{term} である。

両方の組のスレーブのデータ網は170で図示されている。マザーボードとモジュールは、データ網のそれぞれの部分のための別々の終端抵抗器も備える。モジュールのデータ網172には終端抵抗器182が備えられている。マザーボードのデータ網174には終端抵抗器192が備えられている。終端抵抗器182および192の値はそれぞれ R_{term} である。第1図には、データ網のためにマザーボードとモジュールに配信される1本の線路（すなわち170）が図示されている。実際には、データ網はマザーボードとモジュールの両方に複数の線路を含む。

第2図に、伝送線路として模式化されたデータ網170を示す。第1図を併せて参照すると、マスタASIC110からモジュールを挿入するためのソケットまでのマザーボード・データ網の部分がスタブ210として模式化されている。スタブとは、主伝送線路に接続され、本質的に非電力消費終端を含む伝送線路の部分である。マザーボード・データ網は、マザーボード・スレーブに帰属可能なセグメント240と、最後のマザーボード・スレーブからマザーボード・デー

タ網終端抵抗器(192)までのセグメント250とを含む。モジュール・データ網は、モジュール・スレーブに帰属可能なセグメント220と、最後のモジュール・スレーブからモジュール・データ網終端抵抗器(182)までのセグメント230とを含む。ソケット260がモジュールデータ網とスタブ210を含むマザーボード・データ網とを結合する。終端抵抗器182および192はこのデータ網モデルには図示されていない。

まず、マスタがバスを駆動する2つの場合の信号反射を最小限にする問題を扱う。この実施形態では、バス(すなわちモジュール・バスによって拡張されたマザーボード・バス)は、負荷時の特性インピーダンスが50オームである被制御インピーダンス伝送線路を使用して設計されている。マスタがバスを駆動する場合、システムにモジュールがあるか取り外されているかを問わず、反射がないことが理想的である。これには、スタブ210がバスの残りの部分の特性インピーダンスと整合している必要がある。モジュールがない場合、スタブ210から見たバスの特性インピーダンスは50オームである。しかし、システムにモジュール120を付加した場合、50オームの特性インピーダンスを持つ2本のバスを並列して配置する効果を持つ。したがって、モジュールを装着した場合のスタブ210から見た特性インピーダンスは25オームである。

モジュールを取り外した場合、反射を最小限にするためにはスタブ210は50オームでなければならない。モジュールを装着した場合、反射を最小限にするためにはスタブ210は25オームでなければならない。両方の場合を解決することができるスタブ210のインピーダンスは1つもないことは明らかであり、したがって、モジュールがあるかないかに関係なく反射がゼロになるスタブ210の値は1つもない。代替策は、両方の場合について妥当な反射のレベルになる25オームと50オームの間の値を選定することである。反射係数の大きさ Γ を、データ網上の反射信号の相対的な大きさの測定単位として使用することができる。 Γ は伝送線路またはバスの不連続部における入射信号と比較した反射信号の割合である。たとえば、不連続は、特性インピーダンス Z_1 を有する1本の伝送線路と特性インピーダンス Z_2 を有するもう1本の供給伝送線路($Z_1 \neq Z_2$)との間の接合部で生じる。 Γ の大きさを表すために記号 ρ を使用する($\rho = |\Gamma|$)

1)。

反射係数の大きさ ρ は、式 $\frac{|Z_s - Z_0|}{Z_s + Z_0}$ から計算することができる。この式で

Z_s はスタブの特性インピーダンスを表し、 Z_0 は伝送線路の特性インピーダンスを表す。

マザーボード・スレーブまたはモジュール・スレーブがバスを駆動する場合の信号反射を最小限にする問題も扱わなければならない。スレーブ（たとえば 115 a、125 a）がバスを駆動する場合、スタブ 210 は（その電気長が信号遷移時間よりも短い限り）キャパシタンスとして機能する。信号遷移時間は、全信号振幅の 20% から 80% に遷移するのに要する時間の長さであると定義される。200 MHz 以上で動作するバスでは、信号遷移時間は一般には 300 ピコ秒程度である。ピークピーク信号振幅の遷移に要する時間の長さは 500 ピコ秒になる場合がある。依然として信号反射は生じるが、スタブが本質的に小さなキャパシタンスである場合、反射の影響は無視可能な程度である。スタブ・キャパシタ

ンス C_s は $C_s = \frac{T_s}{Z_s}$ と表わせる。このキャパシタンスはスタブの電気長 T_s を短

くするか、スタブ・インピーダンス Z_s を大きくすることによって最小限にすることができる。高速バス設計の従来の経験則では、スタブの電気長を信号遷移時間の 8 分の 1 未満に維持する。したがって、スタブ 210 の物理長を 4 mm 以下にすれば、モジュールが装着されているかどうかを問わずスレーブがバスを駆動する場合の反射信号の影響が無視可能な程度になるのに十分な短さのスタブ電気長とすることができる。

比較的短い電気長のスタブを選定することによって、スレーブが駆動する場合の反射の影響が無視できるほどになったため、今度はマスタが駆動する場合のスタブのインピーダンスを決定することが主な問題となる。マスタがバスを駆動する場合、スタブ 210 の特性インピーダンスを選定する処理は、モジュールを接続した場合とモジュールを取り外した場合との反射の最小化の兼ね合いになる。

前述のように、マスタが駆動し、モジュールが装着されていない場合、最小レベルの反射はスタブ210が50オームになるように選定した場合に生じる。マスタが駆動し、モジュールが装着されている場合、スタブ210の最善の値は25

オームである。25オームと50オームの間のどのような値でも、一方の場合の反射レベルが低下すると同時に、他方の反射レベルが上昇する。50オームを超える値または25オーム未満の値を選定すると、両方の場合について反射レベルが上昇することになる。

妥協案として、25オームと50オームの間の値を選定する。スタブ210の特性インピーダンスの値を約35オームにすると、マスタASICから見たときに、モジュールがある場合の ρ がモジュールがない場合の ρ とほぼ同じになる。この実施形態では、スタブ210を特性インピーダンスが35オームになるように選定する。35オームのスタブは妥当な物理寸法（すなわち幅と接地面より上の高さ）という利点を有する。一実施形態では、35オームを超える値を選定して C_s の値を小さくする。

マスタASICがデータ網を駆動し、モジュールがある場合、スタブ210に約35オームの通常値を使用すると、 ρ は16.7% $\left(\left| \frac{35-50}{35+50} \right| \right)$ に

なる。マスタASICがデータ網を駆動し、モジュールがない場合、同じスタブ値によって ρ は約17.6%になる。反射のレベルがさらに同一に近くなるようにスタブ210の特性インピーダンスを選定することができることは明らかである。したがってデータ信号の反射のレベルはモジュールの存在に関係なくほぼ同じになる。

ソケットの電気長が信号遷移時間と比較して短い場合、ソケットの特性インピーダンスは上記の結果に認める得るほどの影響を与えない。信号遷移時間の3分の1未満の電気長を有するソケットであれば十分である。したがって、ソケット260によって生じる影響は上記の計算では無視している。

一実施形態では、データ網はマスタ110内とスレーブ115a～115nおよび125a～125n内の電流モード出力ドライバによって駆動される電流モ

ード網である。出力ドライバが電流モード・ドライバであっても、データ網は低電圧振幅信号を伝搬する。これらの電流モード・ドライバはデータ網の電圧レベルを制御する。電流モード・ドライバが「オフ」状態の場合、電流モード・ドライバはバス線（たとえば172）で V_{term} からより低い電位に電流を流さないた

め、それぞれのバス線は高電圧レベル（すなわち V_{term} ）を維持するかまたは高電圧レベルに上がる。電流モード・ドライバが「オン」状態の場合、電流モード・ドライバはバス線で V_{term} からより低い電位に電流を流す。バス上の高電圧レベルと低電圧レベルとの差は、バス信号電圧振幅である。一実施形態では、 V_{term} は2.5ボルトであり、より低い電位は1.5ボルトであるため、バス信号電圧振幅を1ボルトとすることができる。

一般には、出力ドライバがシンクすることができる電流は基準電圧とプログラミング抵抗器によって制御される。マスタASICのデータ網上で所望の電圧振幅を確立するために、ASIC上の電流制御ピンと供給電圧 V_{term} の間に適切な値の抵抗器を結合する。言い換えると、「オン」状態で電流モード・ドライバを流れる電流量は電流制御ピンに結合された外部抵抗器によって制御される。

第3図に、データ網上のマスタ出力信号電圧を設定する電流制御機構を示す。データ網バス線170のための電流制御ピンに電流制御抵抗器350および360が接続されている。スイッチ340は、位置1にあると、モジュールが装着されていない場合の電流制御回路になる。スイッチ340は、位置2にあると、モジュールが装着されている場合の電流制御回路になる。モジュールがない場合、マスタASIC110のデータ網信号電圧振幅は電流制御抵抗器360によって制御される。第1図を参照すると、モジュールが装着されている場合、マスタ110内の電流モード出力ドライバはモジュールが装着されていないときの2倍の電流をシンクすることができなければならない。これによって、モジュールが装着されていない場合の適正な抵抗を求めた後は、モジュールが装着されている場合のマザーボード・データ網とモジュール・データ網の両方で適正な電圧振幅にすることができる。

モジュールを差し込む前に、抵抗器360を使用してマスタASICのために

マザーボード・データ網の電流を調整する。モジュールが装着されている場合、データ網電圧振幅はマザーボード上の抵抗器360とモジュール上の抵抗器350によって制御される。両方のデータ網上の電圧振幅を同じに維持するために、電流制御機構によって、マスタ内のデータ網出力ドライバがモジュールが装着されていないときの2倍の電流をシンクすることができるようにしなければならない

い。一実施形態では、電流制御抵抗と出力ドライバによってシンクされる電流との間には反比例線形関係がある。350と360を同じ抵抗を有するように選定することによって、出力ドライバによってシンクされる電流はモジュールを装着した場合の2倍になる。言い換えると、360を350と並列して配置することによって電流制御抵抗が半分になった場合、出力ドライバによってシンクされる電流量は反比例線形関係のために2倍になる。これによって、マザーボード・データ網とモジュール・データ網とが同じ電圧振幅レベルを持つようにすることができる。これによって、モジュールがあるかないかを問わず、データ網電圧振幅レベルがほぼ同じに維持されるようになり、それによってデータ網上の信号保全性を維持することができる。一実施形態では、抵抗器350および360の値は $R_{term}/2$ である。

データ網上の出力信号振幅はスレーブについても設定しなければならない。一実施形態では、スレーブ（たとえば115a、125a）は、モジュールの物理的検出に依存するプログラム可能電流制御機構を使用する。マスタASIC上のピンを使用してモジュールの存在を検出する。モジュールがある場合、マスタはスレーブ出力ドライバに1つの値をプログラムする。モジュールがない場合、マスタはスレーブ出力ドライバに別の値をプログラムする。しかし、この従来技術の技法は、モジュールの存在を検出するためにマスタ、ソケット、およびモジュールのそれぞれの上に少なくとも1つのピンを必要とする。

マスタ、ソケット、およびモジュール上のピン数を最小限に維持することが望ましい目標であろう。言い換えると、マスタ、ソケット、およびモジュール上のピンは有限の資源であり、システムの制約によってピンをモジュールの存在を検出する以外の機能に使用しなければならないことがある。一実施形態では、スレ

ープのためのプログラム可能電流制御機構は、モジュールの物理的検出のためにマスタ上のピンを必要としない。典型的には、スレーブ出力ドライバは異なる二進値によってプログラムすることによって調整することができる。前記の例では、スレーブはモジュールが存在するか否かに応じて2つの値のうちの一方の値によってプログラムされた。しかし、典型的にはスレーブ出力ドライバはある範囲の二進値を受け入れることができるレジスタを有する。電流は、レジスタにロード

された特定の二進値に応答して制御される。レジスタにロードする適切な値は、モジュールが存在するか否かを検出するためのマスタ上のピンを使用せずに、較正処理によって求めることができる。

第4図に、プログラム可能電流制御機構を有するスレーブの出力ドライバ電流を設定するために一実施形態で使用する較正アルゴリズムを示す。この較正アルゴリズムによってスレーブ・レジスタにロードする適切な値 K を求める。モジュールを挿入または取り外すたびに、実効インピーダンスは約2倍または2分の1に変わる。この較正アルゴリズムは、モジュールを取り外したり装着したりするときにいつでも実行しなければならない。この較正プロセスによって、変更されたインピーダンスを補正することができる。

マスタは、ステップ400で初期レジスタ設定値をゼロ($K=0$)に設定することによって較正プロセスを開始する。マスタは、情報のパケットを送ることによってスレーブと通信する。ステップ410で、マスタは較正を必要とするスレーブにパケットに入れた値 K を送る。次にスレーブは値 K を出力ドライバ・レジスタに供給し、データ網の所与の伝送線路上に電流と低電圧 V_{OL} を生じさせる。次に、スレーブはマスタにパケットを送る。ステップ420で、マスタは入力サンプラを使用してパケットの低電圧 V_{OL} を測定する。

ステップ430で、マスタはサンプリングされた V_{OL} を基準電圧と比較して V_{OL} が V_{ref} より大きいかどうかを判断する。 V_{OL} が V_{ref} より大きい場合、ステップ470で二進 K 値を増分または減分して、ドライバがシンクすることができる電流量を増加させる(したがって V_{OL} を下げる)。この実施形態では、ドライバ

がシンクすることができる電流量は、出力ドライバ・レジスタに記憶されている値を増分することによって増大させる。したがって、ステップ470でKが増分される。プロセスはステップ410に戻り、更新されたレジスタ設定値をスレーブに送る。 V_{OL} が V_{ref} より低いか等しい場合は、現行レジスタ設定値から最終レジスタ設定値を計算する。最終レジスタ設定値は、最終レジスタ設定値に対応する出力ドライバ電流が、現行レジスタ設定値を使用する出力ドライバ電流の2倍になるように決定される。この実施形態では、ステップ440で現行レジスタ設定値を2分の1にすることによって最終レジスタ設定値を算出する。代替実

施形態では、最終的なレジスタ設定値は現在のレジスタ設定値を半分にして算出する。このようにして出力ドライバ電流を2倍にすると、ほぼ V_{ref} の対称電圧振幅を得ることができる。ステップ450で、最終レジスタ設定値をマスタからスレーブに送り、プロセスはステップ460で終了する。

一実施形態では、Kは較正プロセスの一部として増分または減分される。他の実施形態では、較正プロセスの一部としてKを基準とする二進探索を行う。

他の実施形態では、ステップ400で、初期K値を、初期 V_{OL} 電圧が V_{ref} より下に下げる値に設定することができる。この代替実施形態では、ステップ430で、マスタはサンプリングされた V_{OL} を V_{ref} 電圧と比較して、 V_{OL} が V_{ref} 以上であるかどうかを判断する。 V_{OL} が V_{ref} 以上でない場合、ステップ470でK値を減分または増分して V_{OL} を上昇させ、ステップ410からプロセスを繰り返す。

データ網上の信号保全性を維持するほかに、バス・アーキテクチャはクロック網上の信号保全性も保証しなければならない。第1図を参照すると、クロック発振器130からのクロック信号はスレーブに配信され、次にマスタに配信される。クロック信号は発振器130からマスタ110に伝播し（「c t m」は「マスタへのクロック」を意味する）、マスタからマザーボード・クロック網の終端部に伝播する（「c f m」は「マスタからのクロック」を意味する）。符号「c t m」および「c f m」は、マザーボード・クロック網上のクロック信号伝播に対応するモジュール・クロック網上のクロック信号伝播を表す。クロック信号とデ

ータ信号との間のスキューを最小限にするため、クロック網（すなわちマザーボードとモジュールのクロック網）は、任意の2つの装置間のデータ網と同じ電気特性（インピーダンスおよび電気長）を持っていなければならない。

クロック信号は3通りの方法のうちの1つでモジュールに配信することができる。第1の実施形態（第1図に図示されている）では、モジュール・クロック網とマザーボード・クロック網はノード $t s k 1$ 、 $t s k 2$ 、 $r s k 1$ 、および $r s k 2$ によってソケットを介して互いに結合されている。モジュール・クロック網はモジュール・クロック・ループ198を含む。モジュール上のソケット接合部（ノード $t s k 2$ ）からクロック・ループ198を通してソケット接合部（ノード $r s k 2$ ）までのループの電気長は、経路 $t s k 1$ —マスター $r s k 1$ の電気長と一致していなければならない。モジュールのクロック・ループ198によって、モジュールクロック網とマザーボード・クロック網との間でインピーダンスとタイミングが一樣になるように保証される。この実施形態では、クロック信号はモジュール・クロック網のいくつかの場所に供給される。経路162はクロック信号をソケットを通してモジュール・クロック網166の一端まで伝搬する。経路164も同様に、クロック信号をマザーボード・クロック網165の一端まで伝搬する。マザーボード経路165上のクロック信号は、モジュール・クロック網のさらに2つの場所に伝達される。ソケットによって、マザーボード・クロック網のノード $t s k 1$ および $r s k 1$ が、モジュール・クロック網上の $t s k 2$ および $r s k 2$ にそれぞれ接続される。マザーボード・クロック網とモジュール・クロック網とをこのように接続することによって、任意の時点で、一方のクロック網上のマスタASICから距離 d の位置にあるクロック信号が、他方のクロック網上のマスタから距離 d の位置にあるクロック信号と同じになるように保証される。このマザーボード・クロック網とモジュール・クロック網の結合方式によって、製造公差による伝送線路の電気長の変動があっても適正なタイミングが保証されるようになる。

モジュール・クロック網の第2の実施形態は、モジュールのクロック・ループを組み込まない。これは、ループを取り外しても雑音余裕度の認めうるほどの低

モジュール・クロック網の第2の実施形態は、モジュールのクロック・ループを組み込まない。これは、ループを取り外しても雑音余裕度の認めうるほどの低

下が起こらない場合に行うことができる。これは、そもそもバスで実質的な反射が起こらない場合に可能であろう。

第3の実施形態は、経路162のみを使用してクロック信号をモジュールまで伝搬する。モジュール・クロック・ループはあるが、ノードtsk1、rsk1、tsk2、およびrsk2でのマザーボード・クロック網とモジュール・クロック網との間の接続はない。

ノードclk2からsk1までとsk1からtnmまでのクロック網トレースは、可能な限り短くしておく必要がある。clk1からtnまでのクロック・トレースの長さは、ノードclk1-t_n-. . . -t₃-t₂-t₁-tsk1-マスタとclk2-sk1-sk2-tnm-. . . -t_{3m}-t_{2m}-t_{1m}-tsk2-tsk1-マスタによって定められる経路について、クロックから端部までの電気長が同じになるように調整する。

第5図に、クロック網の直流モデルを示す。抵抗器R_{s1} (540)、R_{s2} (520)、およびR_x (510)はクロック信号スプリッタを形成する。R_{s1}、R_{s2}、およびR_xは、クロック信号の所望の信号振幅と、対称的立ち上がりおよび立ち下がりを生じさせるように選定する。これらの抵抗器によって、モジュールがあるか否かにかかわらずバス上でクロック信号が適正な電圧振幅を有するように保証される。スイッチ550はモジュールの有無を表す。プルアップ抵抗器R_xは不要な場合もあるが、R_xによってクロック発振器530からのピン・キャパシタンスがある場合にクロックの立ち上がり時間を向上させることができる。抵抗器R_{s2}は、クロック発振器530とソケットにできるだけ近く配置する必要がある。これは、モジュールが装着されていない場合に、R_{s2}をマザーボード・クロック網とモジュール・クロック網に結合するトレースがスタブとして機能するためである。

モジュールがない場合、ノード542におけるクロック信号レベルは以下のようになる。

$$\text{クロック高レベル } V_{OH} = V_{term}$$

$$\text{クロック低レベル } V_{OL} = V_{term} \times \frac{R_{s1} + r_{on}}{R_{s1} + r_{on} + R_{term}}$$

上式で、 r_{on} はクロック発振器530の出力ドライバ・オン時抵抗である。

モジュールがある状態でノード542における電圧がノード522における電圧と同じであるとする、クロック信号レベルは以下になる。

$$\text{クロック高レベル } V_{OH} = V_{term}$$

$$\text{クロック低レベル } V_{OL} = V_{term} \times \frac{(R_{s1} || R_{s2}) + r_{on}}{(R_{s1} || R_{s2}) + r_{on} + R_{term} / 2}$$

上式で、 r_{on} はクロック発振器出力ドライバ抵抗を表す。

ノード542における電圧がノード522における電圧と等しいという仮定は、終端機構582と592が同じ値(R_{term})を有するため、 $R_{s1} = R_{s2}$ であることを意味する。 R_x は r_{on} よりも実質的に大きい値であるように選定し、それに

よって R_x がクロック信号レベルに与える影響が比較的少なくなるため、上式では R_x を無視した。 R_x の値が比較的大きいことは、AC解析の観点からも利点がある。AC解析の観点から見ると、 R_x と r_{on} は並列になる。 $R_x \gg r_{on}$ であれば、 R_x は実効クロック発振器出力ドライバ・オン時抵抗に与える影響が無視できる程度となり、出力ドライバのオン時抵抗はほぼ r_{on} のままとする。

R_{term} は45オームに選定する。 R_{term} がバスの特性インピーダンス Z_0 を超える場合、負の電流反射が起こる可能性がある。ここまでは、製造公差を度外視して公称抵抗値を選定した。 R_{term} は、バスの特性インピーダンスと整合させるためには、理論的には50オーム抵抗でなければならない。しかし、実際には、選定する値は公称値プラスマイナスいくらかの公差値である。たとえば、バスについて仮定した50オームの特性インピーダンスは、50オームに10%の公差(すなわち $50 \Omega \pm 10\%$)を加えた値となる。これは、実際の特性インピーダンスが45オームから55オームの範囲の間となることを意味する。 R_{term} に1%の公差があっても、 $50 \Omega \pm 1\%$ の抵抗が Z_0 を超える可能性と Z_0 を超えない可能性は同じである。この実施形態では、製造公差のために R_{term} がバスの特性

インピーダンスを超える可能性のある公称整合よりも、公称不整合（すなわち $45\ \Omega$ 対 $50\ \Omega$ ）の方が好ましい。したがって、負の電流反射が発生しないように保証するため、 R_{term} を $45\ \Omega$ の公称値となるように選定する。

r_{on} の標準的な値は $5 \sim 10\ \Omega$ であろう。クロック信号レベルへの影響が無視できる程度になるように保証するために、 R_x の値として $100\ \Omega$ を選定する。

V_{term} は、一実施形態では約 2.5 ボルトである。一般に、 V_{OH} と V_{OL} との差が大きいほど、システムはクロック網上の雑音の影響を受けにくくなる。言い換えると、 $|V_{\text{OH}} - V_{\text{OL}}|$ を大きくすれば雑音余裕度が大きくなる。この実施形態では、 $|V_{\text{OH}} - V_{\text{OL}}|$ を 1.0 ボルトに選定する。したがって、 V_{OL} は $V_{\text{term}} - 1.0$ ボルト、すなわち 1.5 ボルトでなければならない。前掲の式によると、モジュールがない場合、 V_{OL} が 1.5 ボルトであれば R_{s1} は約 $70\ \Omega$ になる。

モジュールがある場合、スイッチ 550 は位置 2 になる。 $R_{s1} = R_{s2}$ と仮定したため、 R_{s2} も $70\ \Omega$ でなければならない。したがって、ノード 522 および 542 の V_{OL} はそれぞれ 1.5 ボルトになる。前述のように、モジュールが装着さ

れていない場合、 R_{s2} をマザーボード・クロック網およびモジュール・クロック網に結合するトレースはスタブとして機能する。モジュールがない場合のこのスタブによる反射を最小限にするために、クロック発振器はマザーボード上のソケット接点の近くに配置する必要がある。スタブの電気長はクロック信号遷移時間（ 300 ピコ秒）の $\frac{8}{10}$ より短くすべきであるという経験則に従うと、 R_{s2} とソケットの間の物理長はわずか 5 mm ということになる。

クロック網とデータ網のこのセグメントの長さは 3 つの規則に従う必要がある。すなわち、（１）ソケット両端のクロック信号の到着時間が等しく、（２）マザーボード上のクロック信号とデータ信号の到着時間が等しく、（３）マザーボードへのモジュール・データ信号の到着とマザーボード・クロック信号が同時であるという規則である。

第 1 図を参照すると、ソケット両端のクロック信号到着時間を等しくするために、クロック信号はノード t_{sk2} と t_{sk1} に同時に到着しなければならない。このためには、経路 $c_{lk} - c_{lk1} - t_{sk1}$ の電気長が経路 $c_{lk} - c_{l1}$

$k2 - tsk2$ の電気長と等しくなければならない。さらに、 $clk - clk11 - tsk1 - rsk1$ によって決まる電気長は経路 $clk - clk2 - ts2 - rsk2$ の電気長と等しくなければならない。これは、経路 $tsk1 - rsk1$ の電気長が経路 $tsk2 - rsk2$ の電気長と同じであることを意味する。

第2の規則は、クロック信号とデータ信号がマザーボード上に同時に到着することを要求している。この要件は、信号スキューをなくすのに役立つ。この規則は、 $rsk1 - rj$ の電気長 $- tsk1 - tj$ の電気長 $= dsk1 - dj$ の電気長であることを必要とする（ただし $j = \{1, 2, 3, \dots, n\}$ である）。

第3の規則は、 $rsk2 - rjm$ の電気長 $- tsk2 - tjm$ の電気長 $- dsk1 - djm$ であることを必要とする（ただし、 $j = \{1, 2, 3, \dots, n\}$ である）。

クロック網上とデータ網上の負荷は同様であるため、電気長が等しいことは、マザーボードのクロック網とデータ網の対応するセグメント間の物理長およびモジュールのクロック網とデータ網の対応するセグメント間の物理長が等しいことを一般には意味する。この規則の例外としては、（1）無負荷時のトレース・セ

グメント（たとえば $clk1 - tn$ 、 $tsk2 - rsk2$ ）と、（2）ソケット・セグメント（たとえば $sk1 - sk2$ 、 $rsk1 - rsk2$ ）と、（3）マスタASIC（たとえば $tsk1$ - マスター $- rsk1$ にはマザーボード・データ網上に対応するセグメントがない）がある。

表1に、4つのスレーブ（ $n=4$ ）を持つバスの様々なデータ網セグメントの寸法のリストを示す。スレーブのデータ接続部間の距離は、スレーブ装置の幅によって決まる。この実施形態では、スレーブのパッケージ幅は12.5mmである。これらの値は、セグメントの絶対長ではなく、様々なセグメントの相対的長さの一例として用いることを意図したものである。言い換えると、製造技法およびパッケージング技法によって、実現可能最小長を向上させることができるかも知れないが、依存セグメント間の関係はほぼ変わらない。

表1. データ網のセグメント長

マザーボード	長さ (mm)	モジュール	長さ (mm)
マスター-dsk1	4		
dsk1-d1	8	dsk2-d1m	5.2
d1-d2	13	d1m-d2m	13
d2-d3	13	d2m-d3m	13
d3-d4	13	d3m-d4m	13
d4-終端	10	d4m-終端	10

当業者なら、以下のようにしてクロック網およびデータ網の適切なセグメントの長さを判断することができる。セグメントclk-sk1、tsk1-rsk1、sk1-sk2（ソケット長）、sk2-tn（モジュール上のクロック・トレース）、およびd1m-dsk2（ソケットからのスレーブ1mの距離）の長さが与えられれば、clk1-tn、t1m-tsk2、tsk2-rsk2、およびrsk2-r1mの必要な長さを前述の規則1ないし3から求めることができる。

できる。表2に、規則1ないし3および表1から導き出した様々なクロック網セグメントの寸法を示す。表1と同様に、これらの長さは様々なセグメントの長さの間の関係を示すことを目的として使用するものである。

表2. クロック網のセグメント長

マザーボード	長さ (mm)	モジュール	長さ (mm)
c l k - c l k 1	1		
c l k - c l k 2	1		
c l k 1 - t 4	1 1 6 . 7	s k 2 - t 4 m	5 5
t 4 - t 3	1 3	t 4 m - t 3 m	1 3
t 3 - t 2	1 3	t 3 m - t 2 m	1 3
t 2 - t 1	1 3	t 2 m - t 1 m	1 3
t 1 - t s k 1	8	t 1 m - t s k 2	5 . 2
t s k 1 - マスタ	4	t s k 2 - r s k 2	7 1
マスタ - r s k 1	4		
r s k 1 - r 1	1 3	r s k 2 - r 1 m	5 . 2
r 1 - r 2	1 3	r 1 m - r 2 m	1 3
r 2 - r 3	1 3	r 2 m - r 3 m	1 3
r 3 - r 4	1 3	r 3 m - r 4 m	1 3
r 4 - 終端	1 0	r 4 m - 終端	1 0

デュアル・チャネル・バス

第1図では、シングル・チャネル・メモリ・コントローラのクロック網回路とデータ網回路を図示した。第6図に、デュアル・チャネル・メモリ・コントロー

ラASIC610のクロック網回路の一実施形態を示す。ソケット617に差し込むことによって第1のチャネル612に拡張モジュールを付加することができる。ソケット615に差し込むことによって第2のチャネル611に拡張モジュールを付加することができる。この実施形態は、最初の拡張モジュールがソケッ

ト617に差し込まれ、その後のソケットはソケット615に差し込まれるように設計されている。2つのマザーボード・クロック網とモジュール・クロック網は、クロック発振器630からの2つの異なる出力によって駆動される。一方のクロック発振器出力ドライバは、マザーボード上の各クロック網(660、670)にクロック信号を供給する。他方のクロック発振器出力ドライバは、ソケット615および617に装着された1つまたは複数のモジュールにクロック信号を供給する。

この実施形態では、クロック発振器630はソケット615の近くに配置され、ソケット615が空のときのソケット615からの反射が最小限になるように保証する。どちらのソケットにもモジュールがない場合(すなわち615と617が両方とも空の場合)、モジュールに使用されるクロック・ドライバの出力は抵抗器688(R_{pd})によって信号用接地に引き込まれる。ソケット615および617にモジュールが装着されていない場合に R_{pd} の影響が抵抗器684(R_{s3})および686(R_{s4})と比較して無視できる程度になるように保証するため、 R_{pd} は R_{term} の少なくとも20倍の値を有するように選定する。抵抗器 R_{s3} および R_{s4} は、第5図に示すシングル・チャネル設計に関して述べた通り、615と617の両方にモジュールが装着されている場合にノードc1k3およびc1k4におけるクロック信号レベルが適正な電圧振幅になるように選定する。 R_{pd} は無視できる程度であるため、この実施形態ではこれは R_{s3} と R_{s4} の値がそれぞれ約70オームになることを意味する。

第5図の抵抗器520と540が単一の抵抗器640(R_{s1})に置き換えられている。第5図では、クロック信号スプリッタ回路はモジュールのあるなしを考慮しなければならなかった。第6図では、抵抗器 R_{s1} からのクロック信号はマザーボードのみを駆動する。マザーボードのソケットは常にすべて埋まることになり、したがって第5図の抵抗器520と540を第6図の単一の抵抗器 R_{s1} に置

き換えることができる。 R_{s1} の値は、並列にされた抵抗器520と540と同等の値、すなわち約35オームでなければならない。この実施形態では、終端抵抗器642および643の公称値は45オームである。

【图2】

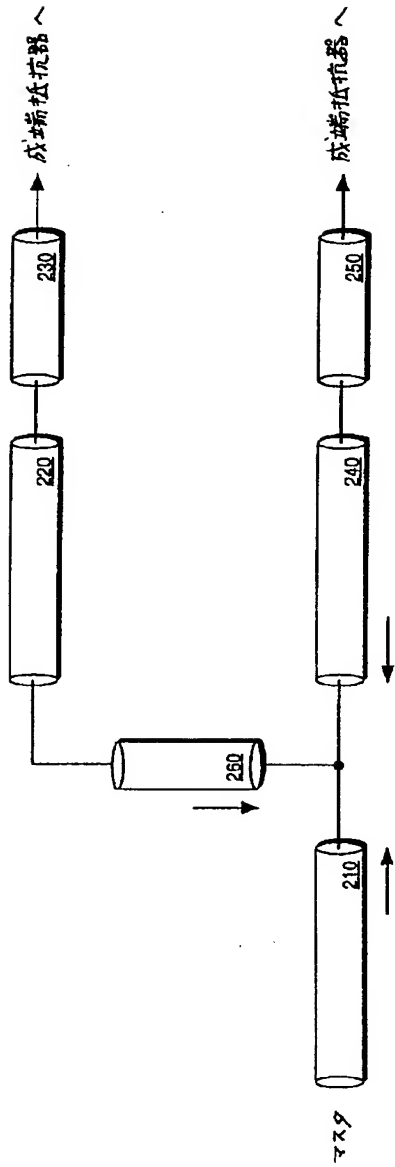


FIG. 2

【図3】

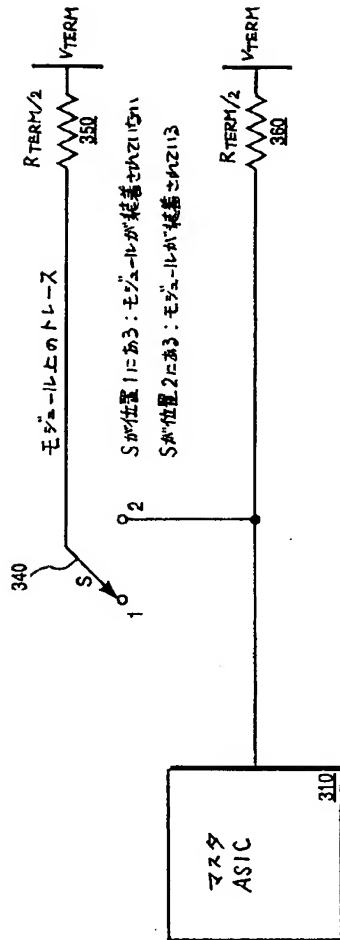
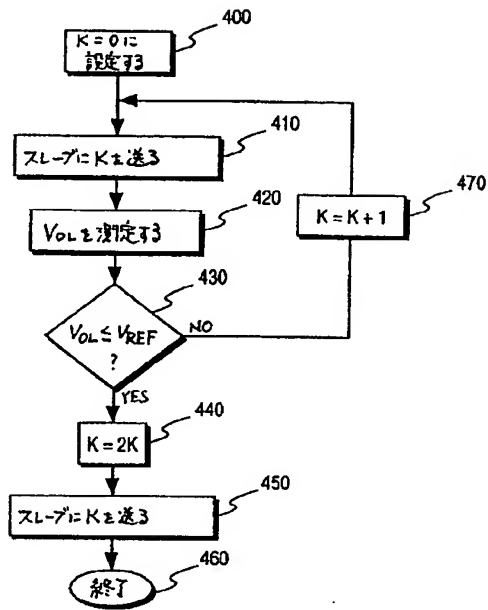


FIG. 3

【図4】

**FIG. 4**

【图 5】

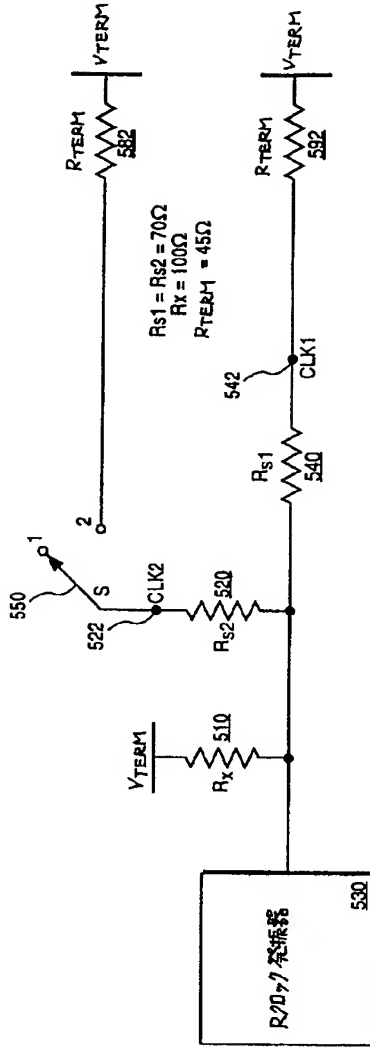


FIG. 5

【図6】

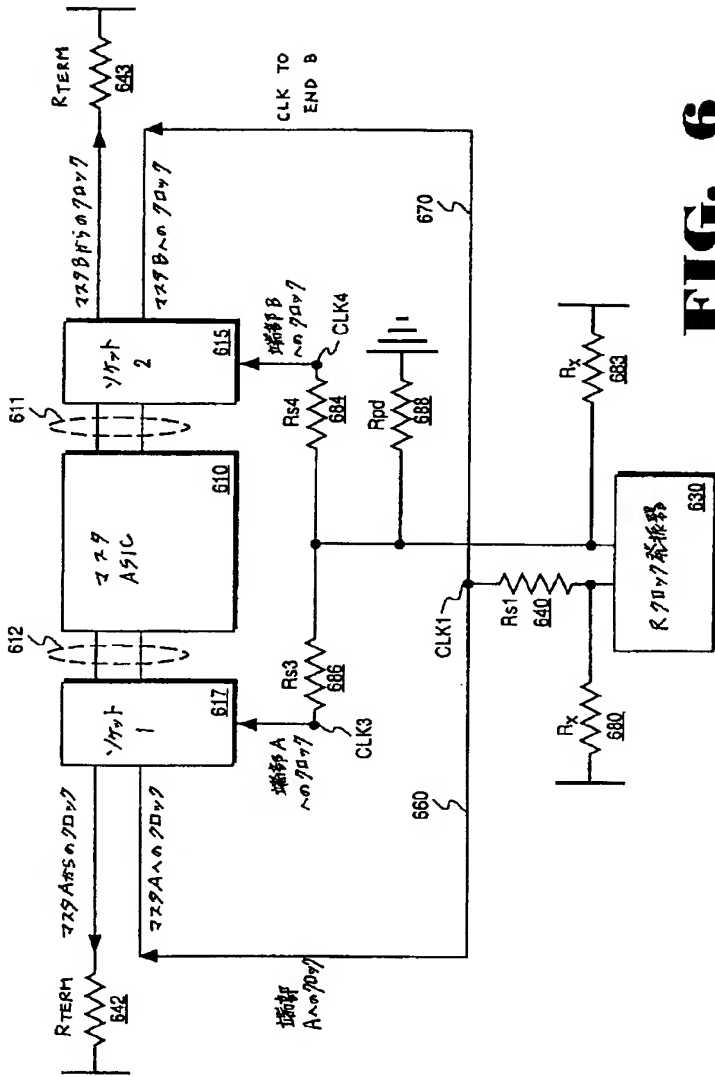


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

INTERNATIONAL Application No PC., JS 96/04470		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F13/40 H01P5/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F H01P		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	IEICE TRANSACTIONS ON ELECTRONICS, vol. E77-C, no. 12, December 1994, TOKYO JP, pages 1944-1950, XP000497027 TAGUCHI: "High-Speed, Small-Amplitude I/O Interface Circuits for Memory Bus Application" see page 1944, left-hand column, paragraph 2 - paragraph 3 see page 1947, left-hand column, paragraph 3 - page 1949, left-hand column, paragraph 3; figures 11,13	1.19
A	PATENT ABSTRACTS OF JAPAN vol. 14, no. 483 (E-993), 22 October 1990 & JP,A,21 098226 (NATSUSHITA), 6 August 1990, see abstract	1.19

-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 12 July 1996		Date of mailing of the international search report 25. 07. 96
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentmann 2 NL - 2280 HV Rijswijk Tel. (+ 31-70) 340-3040, Tx. 31 451 epo nl, Fax (+ 31-70) 340-3016		Authorized officer Gill, S

INTERNATIONAL SEARCH REPORT

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		International Application No. PC., JS 95/04470
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	IBM TECHNICAL DISCLOSURE BULLETIN, vol. 33, no. 7, December 1990, NEW YORK US, pages 267-268, XP000108443 "Adaptive Control of Off-Chip Drivers" see the whole document -----	1, 19

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), UA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, EG, ES, FI, FR, GB, GE, HU, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, UZ, VN

(72)発明者 モンカヨ, アルフレッド
アメリカ合衆国・94061・カリフォルニア
州・レッドウッドシティ・ジャクソン ア
ヴェニュー・237・2番

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.